

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office

出願年月日
Date of Application: 2002年 8月 8日

出願番号
Application Number: 特願2002-231452

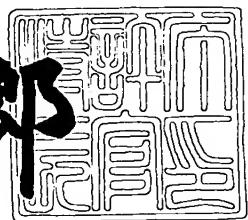
[ST.10/C]: [JP2002-231452]

出願人
Applicant(s): 富士通株式会社

2003年 2月21日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3009344

【書類名】 特許願
【整理番号】 0240302
【提出日】 平成14年 8月 8日
【あて先】 特許庁長官 殿
【国際特許分類】 G11C 11/407
【発明の名称】 出荷試験が簡単で消費電力を削減した冗長メモリセルア
レイ付きメモリ回路
【請求項の数】 7
【発明者】
【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通
株式会社内
【氏名】 谷嶋 幹子
【発明者】
【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通
株式会社内
【氏名】 榊原 光晴
【特許出願人】
【識別番号】 000005223
【氏名又は名称】 富士通株式会社
【代理人】
【識別番号】 100094525
【弁理士】
【氏名又は名称】 土井 健二
【選任した代理人】
【識別番号】 100094514
【弁理士】
【氏名又は名称】 林 恒徳
【手数料の表示】
【予納台帳番号】 041380

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9704944

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 出荷試験が簡単で消費電力を削減した冗長メモリセルアレイ付きメモリ回路

【特許請求の範囲】

【請求項1】 メモリ回路において、

通常メモリセルアレイと、

前記通常メモリセルアレイ内の不良個所と置き換え可能な冗長メモリセルアレイと、

前記通常メモリセルアレイ内の不良個所データを記憶する冗長置換用メモリと、

前記通常メモリセルアレイに設けられたプリチャージ回路とを有し、

前記不良個所データに応じて、通常メモリセルアレイ内の不良個所が冗長メモリセルアレイに置き換えられると共に、不良箇所に対応するプリチャージ回路のプリチャージ経路が閉じられることを特徴とするメモリ回路。

【請求項2】 請求項1において、

前記通常メモリセルアレイは複数の冗長置換単位を有し、前記不良個所を有する冗長置換単位毎に前記冗長メモリセルアレイと置き換えられ、

前記冗長置換用メモリは、前記不良個所を有する冗長置換単位を特定する冗長置換対象特定信号を出力し、

前記プリチャージ回路は、前記冗長置換単位毎にプリチャージスイッチを有し、前記冗長置換対象特定信号によって、当該不良個所を有する冗長置換単位に対応するプリチャージスイッチが遮断されることを特徴とするメモリ回路。

【請求項3】 請求項2において、

前記不良個所を有する冗長置換単位が冗長メモリセルアレイに置き換えられる時に、前記冗長メモリセルアレイに対応するプリチャージスイッチが導通されることを特徴とするメモリ回路。

【請求項4】 メモリ回路において、

通常メモリセルアレイと、

前記通常メモリセルアレイ内の不良個所と置き換え可能な冗長メモリセルアレ

イと、

前記通常メモリセルアレイ内の不良個所データを記憶する冗長置換用メモリとを有し、

当該冗長置換用メモリは、それぞれ不良個所データを保持する冗長セルと、当該冗長セルが保持する不良個所データをラッチする冗長ラッチ回路とを有し、前記冗長ラッチ回路にラッチされたデータにしたがって不良個所が前記冗長メモリセルアレイと置き換えられ、試験時に外部端子から供給される試験用データが前記冗長ラッチ回路にラッチされ前記冗長メモリセルアレイへの仮の置き換えが行われることを特徴とするメモリ回路。

【請求項5】請求項4において、

前記試験時において、前記冗長セルが保持する不良個所データの前記冗長ラッチ回路への供給が禁止されることを特徴とするメモリ回路。

【請求項6】請求項4において、

前記冗長置換用メモリは、前記冗長セルと冗長ラッチ回路との間に設けられた第1のスイッチと、前記外部端子と冗長ラッチ回路との間に設けられた第2のスイッチとを有し、

通常動作時には、前記第1のスイッチが導通状態、第2のスイッチが非導通状態に制御され、試験時には、第1のスイッチが非導通状態、第2のスイッチが導通状態に制御されることを特徴とするメモリ回路。

【請求項7】請求項6において、

前記試験時において、前記第2のスイッチは、一時的に導通し、その後は非導通に制御されることを特徴とするメモリ回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体メモリ回路に関し、特に出荷試験が簡単で消費電力を削減した冗長メモリセルアレイ付きメモリ回路に関する。

【0002】

【従来の技術】

半導体メモリ回路の一つであるスタティックRAMは、高速メモリとしてシステムLSIなどに内蔵される。スタティックRAMは、一対のCMOSインバータの入力と出力を交差接続したメモリセルを有する。CMOSインバータの一方がHレベルを出力し、他方がLレベルを出力することで、データをラッチし、データ保持状態では電流の消費はない。

【0003】

一方、近年のスタティックRAMは、その高速アクセスに加えて、大容量化の要求が厳しくなっている。大容量化に伴って、不良セルや不良ビットを救済するために、冗長メモリセルアレイを設けることが行われる。

【0004】

スタティックRAMの機能試験には、所定のデータを書き込んだ後に同じデータを正しく読み出せるか否かをチェックする機能試験と、所定のデータを書き込んで、所定時間保持状態を維持した後、同じデータが正しく保持されているか否かをチェックするリーク試験とがある。機能試験は、通常のメモリとして書き込みと読み出しが正常に行われるかをチェックする試験であり、ビット線間が短絡していたり、メモリセルに不良がある場合に、不良として検出される。一方、リーク試験は、メモリセルのトランジスタに不良がありデータ保持状態でリーク電流が流れ、データを保持することができないことが不良として検出される。または、リーク不良にはビット線のリークもある。

【0005】

スタティックRAMの機能試験により不良が検出されたり、リーク試験により不良が検出された時に、それを救済するために、冗長セルアレイへの置換が行われる。例えば、特開平8-138399号公報には、機能試験で不良になったセルアレイを冗長セルアレイに置き換えるための冗長置換用メモリと、リーク試験で不良になったセルアレイを冗長セルアレイに置き換えるための冗長置換用メモリとを設けることが提案されている。この先行技術では、リーク試験で不良になったセルアレイへの、ビット線プリチャージ経路をオフにして、リーク不良が存在するセルアレイへのプリチャージを禁止し、消費電力を削減している。このプリチャージ経路をオフにするために、リーク試験用の冗長置換用メモリが利用さ

れている。

【0006】

【発明が解決しようとする課題】

しかしながら、上記の先行技術では、機能試験とリーク試験をそれぞれ行い、それぞれの試験で不良が検出されたセルアレイのアドレスをそれぞれの冗長置換用メモリに格納しており、その回路構成が複雑である。

【0007】

別の問題としては、メモリセルアレイに不良が検出された時、冗長セルアレイへの置き換えのために、冗長置換用メモリに不良個所を有する冗長置換対象セルアレイデータが書き込まれ、その後、冗長セルアレイについて機能試験とリーク試験とを行う必要がある。しかしながら、冗長置換用メモリは、通常フューズROMで構成されるのが一般的であり、このフューズROMの書き込み工程はレーザビームによるフューズ素子の溶断を伴い長時間を要し、試験コストを上昇させる。

【0008】

そこで、本発明の目的は、出荷試験が簡単で消費電力を削減した冗長メモリセルアレイ付きメモリ回路を提供することにある。

【0009】

更に、本発明の別の目的は、簡単な回路構成で、リーク不良により冗長メモリセルアレイに置き換えられた不良セルアレイへのプリチャージ電流の供給をなくすことができるメモリ回路を提供することにある。

【0010】

また、本発明の別の目的は、簡単な回路構成で、冗長置換用メモリへの書き込みを行うことなく、冗長メモリセルアレイへの仮の置換を行って冗長メモリセルアレイの動作試験を行うことができるメモリ回路を提供することにある。

【0011】

【課題を解決するための手段】

上記の目的を達成するために、本発明の第1の側面は、通常メモリセルアレイと、通常メモリセルアレイ内の不良個所と置き換え可能な冗長メモリセルアレイ

とを有するメモリ回路において、通常メモリセルアレイ内の不良個所データを記憶する冗長置換用メモリと、通常メモリセルアレイに設けられたプリチャージ回路とを有し、前記不良個所データに応じて、通常メモリセルアレイ内の不良個所が冗長メモリセルアレイに置き換えられると共に、不良箇所に対応するプリチャージ回路のプリチャージ経路が閉じられることを特徴とする。

【0012】

上記の発明の側面によれば、冗長置換用メモリに不良個所データを記憶し、その不良個所データにしたがって、不良箇所に対して、冗長メモリセルアレイへの置き換えとプリチャージ経路の遮断を行うことができる。従って、単一の冗長置換用メモリにより、不良個所の救済と不良個所へのプリチャージ電流の停止とを行うことができる。

【0013】

上記の目的を達成するために、本発明の第2の側面は、通常メモリセルアレイと、通常メモリセルアレイ内の不良個所と置き換え可能な冗長メモリセルアレイとを有するメモリ回路において、通常メモリセルアレイ内の不良個所データを記憶する冗長置換用メモリを有し、当該冗長置換用メモリは、それぞれ不良個所データを保持する冗長セルと、当該冗長セルが保持する不良個所データをラッチする冗長ラッチ回路とを有し、冗長ラッチ回路がラッチするデータにしたがって不良個所が冗長メモリセルアレイと置き換えられ、試験時に外部端子から供給される試験用データが冗長ラッチ回路にラッチされることを特徴とする。

【0014】

上記の発明によれば、冗長置換用メモリ内の冗長セルに不良個所データを書き込むことなく、外部端子から試験用の不良個所データをラッチすることができ、そのラッチされたデータにしたがって不良個所を冗長メモリセルアレイに置き換えることができる。従って、冗長セルへの書き込みを行う前に、冗長セルアレイの機能試験やリーク試験などを行うことができる。

【0015】

【発明の実施の形態】

以下、図面を参照して本発明の実施の形態例を説明する。しかしながら、本発

明の保護範囲は、以下の実施の形態例に限定されるものではなく、特許請求の範囲に記載された発明とその均等物にまで及ぶものである。

【0016】

図1は、第1の実施の形態におけるメモリ回路の全体構成図である。図1の例では、通常メモリセルアレイが4つのメモリセルアレイMCA0～MCA3を有し、各メモリセルアレイに4つの入出力端子I0-0～I0-3が対応し、4つのメモリセルアレイMCA0～MCA3に対して、4つの入出力端子I0-0～I0-3からデータバスDB0～DB3とセンスアンプ及びライトアンプSA/WA0～SA/WA3を介して、書き込みデータが供給され、読み出しデータが出力される。更に、メモリ回路は、冗長メモリセルアレイRMCAを有し、通常メモリセルアレイのうち不良箇所を有するメモリセルアレイが、この冗長セルアレイと置き換え可能になっている。つまり、4つのメモリセルアレイMCA0～MCA3は、冗長メモリセルアレイと置き換えられる単位であり、例えば、メモリセルアレイMCA1に不良FAILが存在する場合は、そのメモリセルアレイMCA1が冗長メモリセルアレイRMCAと置き換えられる。

【0017】

各メモリセルアレイMCA0～MCA3、RMCAには、図示しない複数のビット線とワード線と、その交差位置に配置されたスタティック型のメモリセルとを有する。また、各メモリセルアレイMCA0～MCA3、RMCAには、各ビット線にプリチャージ電流を供給するプリチャージトランジスタ回路PC0～PC3、RPCと、プリチャージトランジスタQ1と各プリチャージトランジスタ回路PC0～PC3、RPCとの間に設けられたプリチャージスイッチPS0～PS3、RPSとを有し、これらの回路でプリチャージ回路が構成される。プリチャージ回路は、ビット線をプリチャージする回路であり、プリチャージ後にワード線が駆動され、メモリセルの状態に応じて一方のビット線のレベルが低下する。

【0018】

また、各メモリセルアレイは、コラム選択信号CL0～CLmにより導通するコラムゲートCG0～CG3、RCGを有し、コラム選択信号CL1～CLmにより各メモリセルアレイからビット線が選択されて、センスアンプ及びライトアンプSA/WA0～SA/WA3に接続される。

【0019】

図1の通常メモリセルアレイの不良個所が冗長メモリセルアレイとどのように置き換えられるかについて説明する。図1のメモリ回路では、4つの入出力端子I0-0～I0-3に、4つのメモリセルアレイMCA0～MCA3それぞれのデータが入出力される。従って、仮にメモリセルアレイMCA1内に不良FAILが存在する場合は、メモリセルアレイMCA1のデータバスDB1は切断され、メモリセルアレイMCA2、MCA3及び冗長メモリセルアレイRMCAが、それぞれ入出力端子I0-1、I0-2、I0-3に対応付けられる。つまり、不良個所を有するメモリセルアレイより右側に位置する通常メモリセルアレイと冗長メモリセルアレイに対応するセンスアンプ及びライトアンプSA/WAが、それぞれ左側の入出力端子に、第1のデータバススイッチDS0～DS3を介して接続される。それに伴い、不良個所を有するメモリセルアレイのセンスアンプ及びライトアンプSA/WAは、第2のデータバススイッチDSS1～DSS3をオフにすることで、対応する入出力端子から切り離される。

【0020】

メモリセルアレイMCA1に不良が存在する場合、第1のデータバススイッチDS0はオフ、残りのスイッチDS1, DS2, DS3がそれぞれオンに制御され、第2のデータバススイッチDSS1はオン、残りのスイッチDSS2、DSS3がそれぞれオフに制御される。

【0021】

メモリ回路は、不良個所を示すデータが冗長置換用メモリRM/LA0～3に格納される。そして、その冗長置換用メモリが、置換対象のメモリセルアレイを特定する冗長置換対象特定信号RED0～RED3を出力する。冗長置換用メモリRM/LA0～3において、冗長セルへの置換対象のメモリセルアレイMCA0～3に対応する冗長置換用メモリRM/LA0～3に、不良個所データ「1」が記憶され、それ以外の正常なメモリセルアレイに対応する冗長置換用メモリRM/LA0～3に、不良個所データ「0」が記憶される。従って、冗長置換対象特定信号RED0～RED3は、上記不良個所データに1対1に対応する制御信号である。上記の第1のデータバススイッチDS0は、冗長置換対象特定信号RED0により制御される。不良個所を有するメモリセルアレイから右側のセルアレイを左シフトするために、第1のデータバススイッチ

DS1は、左隣の冗長置換対象特定信号RED0と自身の特定信号RED1との論理和である論理和信号XRED1により制御される。同様に、第1のデータバススイッチDS2は、左隣の論理和信号XRED1と自身の冗長置換対象特定信号RED2との論理和信号XRED2により制御され、スイッチDS3は、左隣の論理和信号XRED2と自身の信号RED3との論理和信号XRED3で制御される。そのために、論理和ゲート11, 12, 13が設けられる。

【0022】

メモリセルアレイMCA1に不良個所FAILが存在する場合は、冗長置換用メモリRM/LA1に不良個所データ「1」が記憶されるので、論理和信号XRED1がHレベルになり、その右側の全ての論理和信号XRED2, XRED3も全てHレベルになり、上記のメモリセルアレイMCA2, MCA3, RMCAの左シフトが行われ、入出力端子I0-1, I0-2, I0-3に接続される。

【0023】

更に、各冗長置換対象特定信号RED0～RED3は、対応するセンスアンプ及びライトアンプSA/WA0～SA/WA3に供給され、活性化または非活性化が制御される。それにより、冗長置換対象のメモリセルアレイに対応するセンスアンプ及びライトアンプが非活性化される。図1の例では、センスアンプ及びライトアンプSA/WA1が非活性化される。

【0024】

また、プリチャージ回路内のプリチャージスイッチ群PS0～PS3, RPSは、冗長置換対象特定信号RED0～RED3及び論理和信号XRED3により、導通と非導通とが制御される。即ち、不良個所を有するメモリセルアレイMCA1にプリチャージ電流が供給されないようにするために、それに対応するプリチャージスイッチPS1は、冗長置換対象特定信号RED1の反転信号によりオフにされる。それ以外のプリチャージスイッチPS0, PS2, PS3, RPSは、全てオンにされる。冗長メモリセルアレイRMC Aに対応するプリチャージスイッチRPSは、冗長メモリセルアレイへの置換が行われる時に必ずHレベルになる論理和信号XRED3の反転信号により制御される。冗長メモリセルアレイへの置換が行われる時に、プリチャージスイッチRPSは導通するようにされ、置換が行われない時は、非導通に制御される。

【0025】

以上の通り、第1の実施の形態では、冗長置換メモリRM/LM0～RM/LA3に不良個所データを書き込むことで、不良個所を有するメモリセルアレイの冗長メモリセルアレイへの置換と、置換対象のメモリセルアレイへのプリチャージ電流経路の遮断とを行うことができる。

【0026】

なお、データバススイッチ群DS0～DS3、DSS1～DSS3を、センスアンプ及びライトアンプSA/WAとメモリセルアレイMCAとの間に設けることもできる。その場合は、冗長メモリセルアレイのセンスアンプ及びライトアンプSA/WAREDを省略することができる。

【0027】

図2は、第1の実施の形態におけるメモリセルとプリチャージ回路の詳細回路図である。図2には、通常メモリセルアレイMCA0と、冗長メモリセルアレイRMCAとが示され、通常メモリセルアレイMCA1～MCAnは省略されている。通常メモリセルアレイMCA0は、 $m+1$ 本のビット線対と $k+1$ 本のワード線とを有する。また、通常メモリセルアレイに対応するセンスアンプ及びライトアンプSA/WA0～2、SA/WAn及び、冗長メモリセルアレイに対応するセンスアンプ及びライトアンプSA/WAREDが示されている。そして、データバススイッチDS0, DS1, DSnが、PチャンネルトランジスタとNチャネルトランジスタからなるトランスマニアゲートで構成されている。第2のデータバススイッチ群DSS0～DSS3は省略されている。

【0028】

図2には、メモリセルMCの詳細回路が示される。図2の例では、通常メモリセルアレイはMCA0～MCAnと $n+1$ 個設けられ、それに対して冗長メモリセルアレイRMCAが1個設けられている。メモリセルアレイ内の各メモリセルMCは、ワード線WL0に接続される1対のトランスマニアトランジスタと、入力と出力とが交差接続された1対のインバータとを有する。各ビット線対BL0, BLB0～BLm, BLBmには、プリチャージトランジスタ回路PC0が接続されている。このプリチャージトランジスタ回路PC0は、プリチャージスイッチPSから供給されるプリチャージ電圧に応答して導通する負荷トランジスタQ2, Q3とイコライズトランジス

タQ4, Q5とを有する。また、各メモリセルアレイMCA0とRMCAのプリチャージトランジスタ回路PC0, RPCと、プリチャージトランジスタQ1との間のプリチャージスイッチPSは、PチャネルトランジスタとNチャネルトランジスタからなるトランスファーゲートで構成され、それらのゲートには、逆相の冗長置換対象特定信号REDO、REDB0と、論理和信号XREDn、XREDBnにより制御される。また、各コラムゲートCG0、RCGは、コラム選択信号CL0～CLmにより導通制御されるトランジスタ群を有する。

【0029】

図1, 2に示した第1の実施の形態におけるメモリ回路は、冗長置換用メモリRM/LA0～RM/LAn内のヒューズROMに不良個所データを書き込むことなく、冗長メモリセルアレイRMCAへの置換を行って、その冗長メモリセルアレイの機能試験とリーキ試験とを行うことができる。そのために、テスト回路10をテスト端子TESTから活性化させて、冗長置換用メモリRM/LA0～RM/LAn内のラッチ回路に、入出力端子I0-0～I0-3から試験データを一時的に格納することができる。この一時的に格納された試験データにより、通常メモリセルアレイのいずれかが冗長メモリセルアレイと置換される。従って、その状態で冗長メモリセルアレイRMCAの機能試験とリーキ試験とを行うことができる。

【0030】

図3は、冗長置換用メモリの回路図である。図3には、冗長置換用メモリRM/LA0、RM/LA1、RM/LAnが示される。各冗長置換用メモリは、不良個所データを記憶するフューズFS0、FS1、FSnと、パワーオンリセット信号PRSTにより一時的に導通するトランジスタQ10とで構成されるフューズ回路と、ラッチ回路LA0、LA1、LAnとを有する。そして、フューズ回路とラッチ回路との間に、通常動作時に導通、試験工程で非導通になる第1のスイッチSW1が設けられ、入出力端子I0-0、I0-1、I0-nとラッチ回路との間に、通常動作時に非導通、試験工程で導通になる第2のスイッチSW2が設けられる。また、NORゲートとインバータからなる論理回路11、1nは、図2に示した論理和ゲート11、1nに対応する。

【0031】

通常動作時では、テスト信号TESTがLレベルに制御され、第1のスイッチSW

1は導通状態であり、電源オン時に一時的にLレベルになるパワーオンリセット信号PRSTに応答して、トランジスタQ10が一時的に導通し、ラッチ回路LA0、LA1、LA_nにHレベルを供給する。そして、パワーオンリセット信号PRSTがHレベルに戻ってトランジスタQ10がオフになると、フューズFS0,FS1,FS_nが切斷されていなければ、ラッチ回路の入力がLレベルに下がり、切斷されていればHレベルのまま維持される。これにより、ヒューズに書き込まれた不良個所データが、ラッチ回路LA0、LA1、LA_nにそれぞれ転送される。そして、ラッチ回路にラッチされた不良個所データが、冗長置換対象特定信号RED0、RED1、RED_nとして出力される。

【0032】

一方、試験工程時には、テスト信号TESTがHレベルにされ、従って、第1のスイッチSW1は全て非導通状態になる。そして、試験工程の最初に一時的にHレベルになるラッチ信号LATCHに応答して、第2のスイッチSW2が一時的に導通状態になり、入出力端子I0-0、I0-1、I0-nに入力された試験データが、それぞれのラッチ回路LA0、LA1、LA_nにラッチされる。

【0033】

図4は、テスト回路の回路図を、図5は、テスト信号とラッチ信号を示すテスト回路の動作波形図である。テスト回路10は、インバータ20, 21, 22, 24とNANDゲート23とキャパシタC1で構成される。試験工程にて、入出力端子I0-1～I0-nに試験データが供給された後、テスト端子TESTからHレベルのテスト信号TESTが入力される。このテスト信号TESTに応答して、インバータ20の出力はLレベルになるが、インバータ21の出力がそれまでLレベルだったノードn1を立ち上げるのに所定の時間T_Lを要するので、その間、インバータ22の出力はHレベルに維持され、NANDゲート23の出力はLレベル、インバータ24の出力はHレベルにそれぞれ維持される。その結果、図5に示されるとおり、試験工程の最初の期間T_Lだけ、ラッチ信号LATCHがHレベルになる。

【0034】

図3に戻り、試験工程において冗長メモリセルアレイの試験を行う場合は、入出力端子に不良個所データとして試験データを印加し、テスト端子TESTをHレベ

ルにする。これに応答して、一時的にラッチ信号LATCHがHレベルになり、各冗長置換用メモリRM/LA0、RM/LA1、RM/LAnの第2のスイッチSW2が導通し、入出力端子に印加した試験データがそれぞれのラッチ回路LA0、LA1、LAnにラッチされる。そして、期間TL経過後は、第2のスイッチSW2は全て非導通になり、各入出力端子I0-0、I0-1、I0-nは、冗長置換用メモリから切り離されて、それぞれ対応するデータバスDB0、DB1、DBnに接続された状態となる。

【0035】

その後は、ラッチ回路にラッチされた試験データにしたがって、通常メモリセルアレイのいずれかが冗長メモリセルアレイに置き換えられた状態になり、入出力端子I0-nを介して、冗長メモリセルアレイRMCAへの書き込みと読み出し動作が可能になる。これにより、フューズ素子への書き込みを行うことなく、冗長メモリセルアレイの機能試験やリーク試験を行うことができる。

【0036】

また、冗長メモリセルアレイの正常動作が確認された後は、不良個所を特定するデータが冗長置換用メモリ内のフューズ素子に書き込まれる。その後は、パワーオンのたびに、フューズ素子の状態がラッチ回路にラッチされ、その不良個所データにしたがって、不良を有する通常メモリセルアレイが冗長メモリセルアレイに置き換えられ、不良を有するメモリセルアレイへのプリチャージ経路が遮断される。

【0037】

以上のとおり、図3の冗長置換用メモリは、冗長置換用メモリに、第1及び第2のスイッチSW1、SW2を追加し、テスト回路10を設けることで、フューズROMに不良個所データを書き込むことなく冗長メモリセルアレイへの置き換えを仮に行うことができ、つまり、実際に冗長メモリセルアレイへの置き換えを実行することなく、試験工程で冗長メモリセルアレイの試験を行うことができる。

【0038】

図6は、本実施の形態における試験工程のフローチャート図である。出荷試験において、冗長メモリセルアレイへの置換が行われていない状態で、通常メモリセルアレイについて機能試験が行われる(S1)。機能試験では、所定のデータ

をメモリセルアレイに書き込み、その後データを読み出して、正しいデータが読み出せるか否かがチェックされる。更に、通常メモリセルアレイに対してリーク試験が行われる（S2）。このリーク試験では、所定のデータをメモリセルアレイに書き込み、所定時間その保持状態を維持させ、その後に、データを読み出して、正しいデータが保持されていたか否かがチェックされる。

【0039】

通常メモリセルアレイへの機能試験とリーク試験の結果、不良箇所が検出されなければ、良品と判定され、不良箇所が検出されると、次の工程で冗長メモリセルアレイの試験が行われる。

【0040】

そのために、入出力端子I0に試験用データが印加された状態で、テスト信号TESTをHレベルにすると、その試験用データが冗長置換用メモリ内のラッチ回路にラッチされる。その結果、試験用データにしたがって、所定の通常メモリセルアレイが冗長メモリセルアレイに仮置換される（S4）。その後、入出力端子を介して、データの書き込みや読み出しを行うことにより、冗長セルアレイについての機能試験（S5）とリーク試験（S6）とが行われる。この両試験で冗長メモリセルアレイに不良箇所が見つかると（S7）、もはや不良箇所を有するメモリセルアレイを冗長メモリセルアレイに置き換えることができず、不良品と判定される。一方、冗長メモリセルアレイに不良がないことが確認されると、その後、不良箇所を有するメモリセルアレイを特定する不良箇所データが、冗長置換用メモリ内のフューズROMに書き込まれる。これにより、冗長メモリセルアレイへの永久置換が行われる（S8）。

【0041】

冗長メモリセルアレイへの置換が行われると、それに伴って、不良箇所を有するメモリセルアレイへのプリチャージ経路は遮断されるので、不良箇所のリークによる消費電力の増大を回避することができる。

[第2の実施の形態]

図7は、第2の実施の形態におけるメモリ回路の全体構成図である。この例は、図1と同様に、通常メモリセルアレイに4つのメモリセルアレイMCA0～MCA3が

設けられ、更に1つの冗長メモリセルアレイRMCAが設けられる。各メモリセルアレイに、プリチャージトランジスタ回路PC0～PC3、RPCと、コラムゲートCG0～CG3、RCGと、センスアンプ及びライトアンプ回路SA/WA0～SA/WA3、SA/WAREDとが設けられている。また、各メモリセルアレイには、プリチャージトランジスタQ1との間に、プリチャージスイッチPS0～PS3及びRPSとが設けられる。

【0042】

本実施の形態では、各メモリセルアレイのデータバスDB0～DB3のうち一つ（若しくは一組）が、メインコラムゲートMCGにより選択され、メインデータバスMDBが入出力端子I0-0～I0-3に接続される。入出力端子の前段に入出回路が設けられるが、図7では省略されている。従って、4つのメモリセルアレイMCA0～MCA3のうち一つが選択されて、データの書き込みまたはデータの読み出しが行われる。

【0043】

更に、不良個所を有するメモリセルアレイは、冗長メモリセルアレイRMCAに置き換えられる。そのために、不良個所データを記憶する冗長置換用メモリRM/LAには、不良個所を有するメモリセルアレイのアドレスRAAdd0,1が格納され、そのアドレスRAAdd0,1とコラムアドレスCAddとが比較回路20で比較される。両アドレスが一致するときは、比較回路20の比較結果信号CMPがHレベルになり、メインコラムゲートMCGの動作を非活性化し、冗長メインコラムゲートRMCGを活性化して、冗長データバスRDBがメインデータバスMDBに接続される。例えば、不良個所FAILを有するメモリセルアレイMCA1が選択されたら、そのメモリセルアレイMCA1に代わって、冗長メモリセルアレイRMCAが選択され、冗長メモリセルアレイのセンスアンプ及びライトアンプSA/WAREDが、入出力端子群に接続される。

【0044】

一方、両アドレスが不一致の時は、比較回路20の比較結果信号CMPがLレベルになり、メインコラムゲートMCGが活性化され、選択された通常メモリセルアレイが、入出力端子に接続される。各メモリセルアレイから4ビットのデータバスDBが出力されることで、それぞれが4個の入出力端子I0-0～I0-3に接続される。

【0045】

また、冗長置換メモリRM/LAには、記録されている故障個所データが有効か否かを示すデータも格納される。つまり、有効な故障個所データが格納されている場合は、有効フラグRREDがHレベルになり、比較回路20を活性化し、アドレスの比較動作を行わせる。また、その有効フラグRREDにより、冗長メモリセルアレイRMCAに対応するプリチャージスイッチRPSが制御され、冗長メモリセルアレイへの置換が行われて、有効フラグRREDがHレベルになると、プリチャージスイッチRPSが導通状態になる。

【0046】

更に、冗長置換用メモリRM/LAが記憶する故障個所データRAdd0,1は、デコーダ22によりデコードされ、故障個所を有する通常メモリセルアレイを特定する特定信号RED0～RED3が生成される。このデコーダ22も、有効フラグRREDにより活性化される。有効フラグRREDがLレベルの時は、デコーダ22は非活性となり、冗長置換対象特定信号RED0～RED3は全てLレベルになり、通常メモリセルアレイのプリチャージスイッチPS0～PS3が全て導通状態になる。一方、有効フラグRREDがHレベルの時は、デコーダ22が活性化され、冗長置換対象特定信号RED0～RED3のいずれかがHレベルになり、それに対応するプリチャージスイッチPS0～PS3が非導通状態になる。これにより、置き換え対象の不良個所を有するメモリセルアレイへのプリチャージ電流の供給は遮断される。

【0047】

図8は、第2の実施の形態における冗長置換用メモリの回路図である。第2の実施の形態では、冗長置換用メモリは、2ビットの置換対象メモリセルアレイのコラムアドレスRAdd0,1と、有効フラグRREDとの合計3ビットを格納する。第1の実施の形態と同様に、各冗長置換用メモリRM/LA0～RM/LA2は、フューズ回路Q10, FSとラッチ回路LAと、第1及び第2のスイッチSW1, SW2を有する。

【0048】

通常動作時は、第1のスイッチSW1が導通状態にあり、パワーオンの時にフューズに書き込まれたデータが、ラッチ回路LA0～LA2にラッチされる。また、試験工程では、第1のスイッチSW1が非導通状態にあり、一時的にHレベルにな

るラッチ信号LATCHに応答して、第2のスイッチSW2が一時的に導通し、入出力端子I0-0～I0-2に供給された試験データが、それぞれのラッチ回路にラッチされる。

【0049】

テスト回路10とそれが生成するテスト信号TEST及びラッチ信号LATCHは、図4, 5に示したものと同じである。つまり、試験時にテスト信号TESTがHレベルになり、最初の期間だけラッチ信号LATCHがHレベルになる。

【0050】

第2の実施の形態においても、フューズ素子に書き込むことなく、入出力端子からラッチ回路に試験データをラッチさせて、冗長メモリセルアレイを入出力端子に接続し、その機能試験及びリーク試験を行うことができる。更に、冗長置換用メモリに格納した故障個所データに従って、冗長メモリセルアレイへの置換と、置換対象の通常メモリセルアレイに対応するプリチャージ経路の遮断とが行われる。

【0051】

上記の2つの実施の形態では、通常メモリセルアレイがそれぞれ入出力端子に接続される構成を有し、冗長置換用メモリには故障個所を有するメモリセルアレイに対応するビットに「1」を格納する第1の例と、選択された通常メモリセルアレイが入出力端子に接続される構成を有し、冗長置換用メモリには故障個所を有するメモリセルアレイのアドレスを格納する第2の例とに本発明が適用されている。しかしながら、本発明は、これ以外の冗長構成のメモリ回路にも適応可能である。

【0052】

以上、実施の形態例をまとめると以下の付記の通りである。

【0053】

(付記1) メモリ回路において、
通常メモリセルアレイと、
前記通常メモリセルアレイ内の不良個所と置き換え可能な冗長メモリセルアレイと、

前記通常メモリセルアレイ内の不良個所データを記憶する冗長置換用メモリと

前記通常メモリセルアレイに設けられたプリチャージ回路とを有し、

前記不良個所データに応じて、通常メモリセルアレイ内の不良個所が冗長メモリセルアレイに置き換えられると共に、不良箇所に対応するプリチャージ回路のプリチャージ経路が閉じられることを特徴とするメモリ回路。

【0054】

(付記2) 付記1において、

前記通常メモリセルアレイは複数の冗長置換単位を有し、前記不良個所を有する冗長置換単位毎に前記冗長メモリセルアレイと置き換えられ、

前記冗長置換用メモリは、前記不良個所を有する冗長置換単位を特定する冗長置換対象特定信号を出力し、

前記プリチャージ回路は、前記冗長置換単位毎にプリチャージスイッチを有し、前記冗長置換対象特定信号によって、当該不良個所を有する冗長置換単位に対応するプリチャージスイッチが遮断されることを特徴とするメモリ回路。

【0055】

(付記3) 付記2において、

前記不良個所を有する冗長置換単位が冗長メモリセルアレイに置き換えられる時に、前記冗長メモリセルアレイに対応するプリチャージスイッチが導通されることを特徴とするメモリ回路。

【0056】

(付記4) 付記1において、

前記通常メモリセルアレイ及び冗長メモリセルアレイは、複数のメモリセルと、当該メモリセルに接続される複数のビット線とを有し、前記プリチャージ回路により前記ビット線がプリチャージされることを特徴とするメモリ回路。

【0057】

(付記5) 付記4において、

前記メモリセルは、スタティック型メモリセルであることを特徴とするメモリ回路。

【0058】

(付記6) メモリ回路において、
通常メモリセルアレイと、
前記通常メモリセルアレイ内の不良個所と置き換え可能な冗長メモリセルアレイと、
前記通常メモリセルアレイ内の不良個所データを記憶する冗長置換用メモリと
を有し、
当該冗長置換用メモリは、それぞれ不良個所データを保持する冗長セルと、当
該冗長セルが保持する不良個所データをラッチする冗長ラッチ回路とを有し、前
記冗長ラッチ回路にラッチされたデータにしたがって不良個所が前記冗長メモリ
セルアレイと置き換えられ、試験時に外部端子から供給される試験用データが前
記冗長ラッチ回路にラッチされ前記冗長メモリセルアレイへの仮の置き換えが行
われることを特徴とするメモリ回路。

【0059】

(付記7) 付記6において、
前記試験時において、前記冗長セルが保持する不良個所データの前記冗長ラッ
チ回路への供給が禁止されることを特徴とするメモリ回路。

【0060】

(付記8) 付記6において、
前記冗長置換用メモリは、前記冗長セルと冗長ラッチ回路との間に設けられた
第1のスイッチと、前記外部端子と冗長ラッチ回路との間に設けられた第2のス
イッチとを有し、

通常動作時には、前記第1のスイッチが導通状態、第2のスイッチが非導通状
態に制御され、試験時には、第1のスイッチが非導通状態、第2のスイッチが導
通状態に制御されることを特徴とするメモリ回路。

【0061】

(付記9) 付記8において、
前記試験時において、前記第2のスイッチは、一時的に導通し、その後は非導
通に制御されることを特徴とするメモリ回路。

【0062】

(付記10) 付記6において、

前記外部端子は、前記メモリセルアレイとの間でデータを入出力する入出力端子であることを特徴とするメモリ回路。

【0063】

(付記11) 付記6において、

前記冗長ラッチ回路にラッチされたデータにしたがって、前記不良箇所に対応するプリチャージ回路のプリチャージ経路が閉じられることを特徴とするメモリ回路。

【0064】

【発明の効果】

以上、本発明によれば、不良個所を冗長セルアレイに置き換えるメモリ回路において、冗長置換用メモリセルに記憶される故障個所データにより、冗長メモリセルへの置換と、不良個所のメモリセルアレイへのプリチャージ電流の供給をなくして、消費電力を低減することができる。また、本発明によれば、冗長置換用メモリの冗長ROMに故障個所データを記録することなく、冗長メモリセルアレイへの仮の置換を行うことができるので、冗長メモリセルアレイへの試験を、冗長ROMに書き込む前に行うことができる。

【図面の簡単な説明】

【図1】

第1の実施の形態におけるメモリ回路の全体構成図である。

【図2】

第1の実施の形態におけるメモリセルとプリチャージ回路の詳細回路図である

【図3】

冗長置換用メモリの回路図である。

【図4】

テスト回路の回路図である。

【図5】

テスト信号とラッチ信号を示すテスト回路の動作波形図である。

【図6】

本実施の形態における試験工程のフローチャート図である。

【図7】

第2の実施の形態におけるメモリ回路の全体構成図である。

【図8】

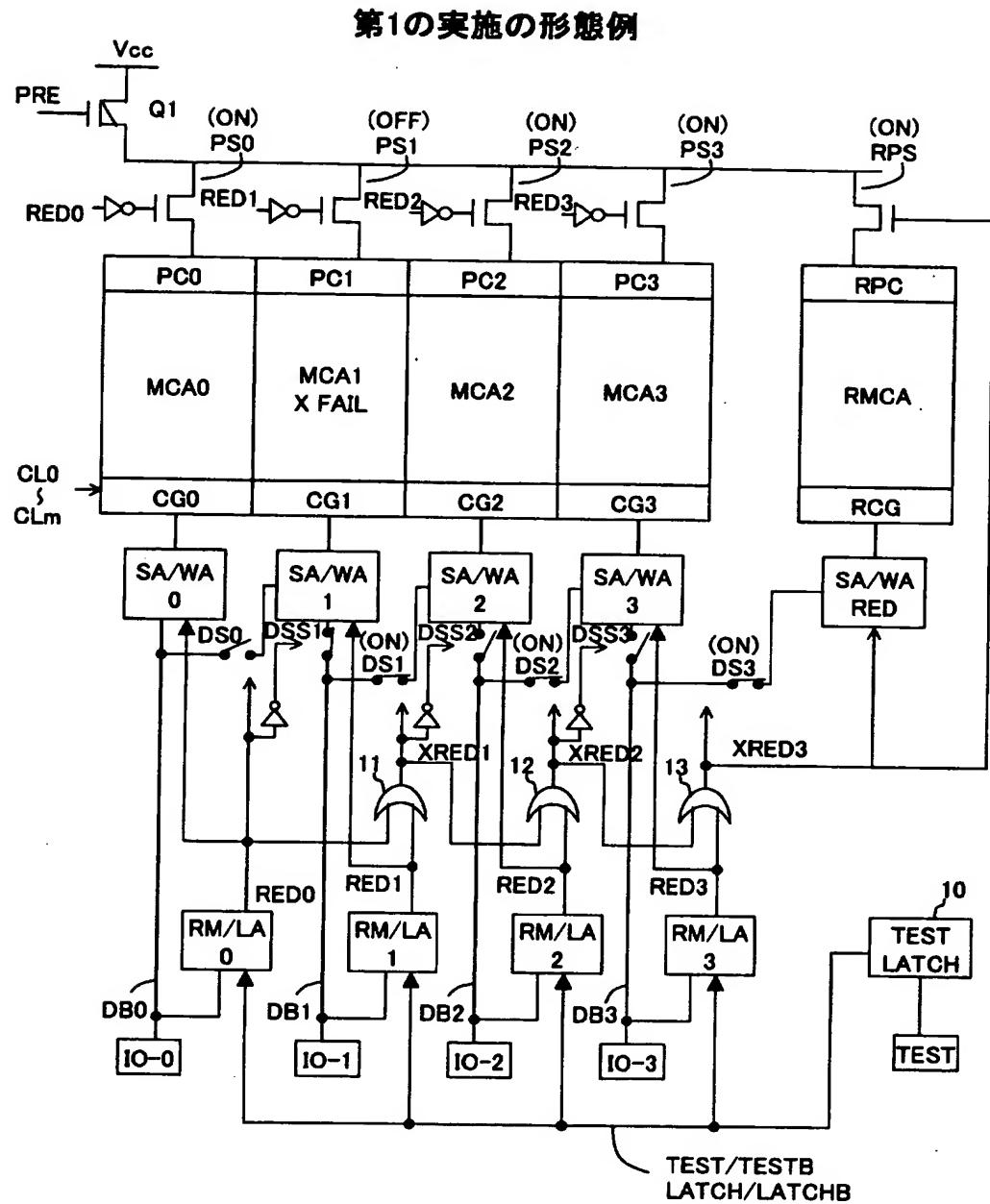
第2の実施の形態における冗長置換用メモリの回路図である。

【符号の説明】

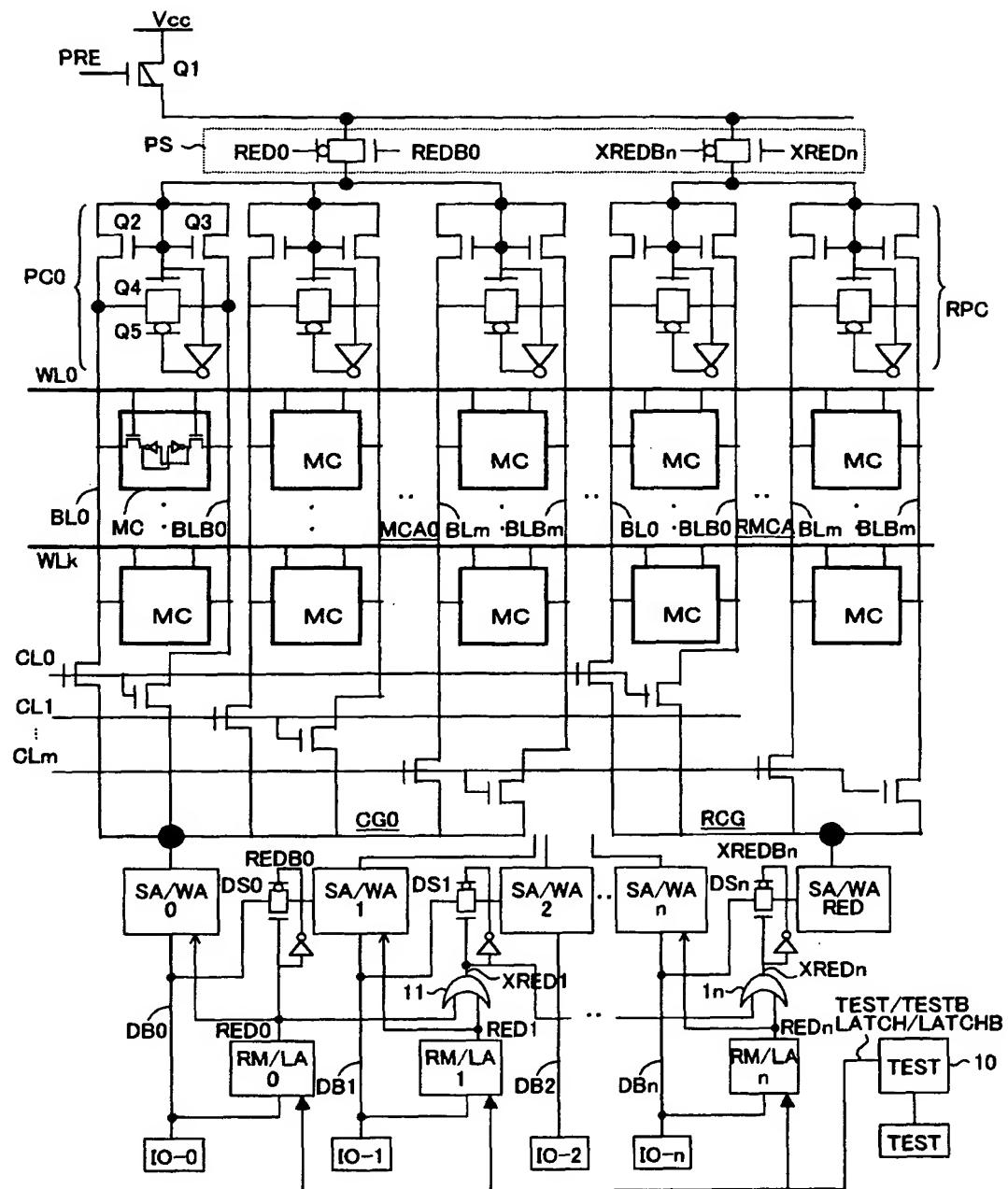
MCA0～3	通常メモリセルアレイ
RMCA	冗長メモリセルアレイ
PC0～3	プリチャージトランジスタ回路
PS0～3、RPS	プリチャージスイッチ
I0-0～3	入出力端子
RM/LA	冗長置換用メモリ
REDO～3	冗長置換対象特定信号

【書類名】 図面

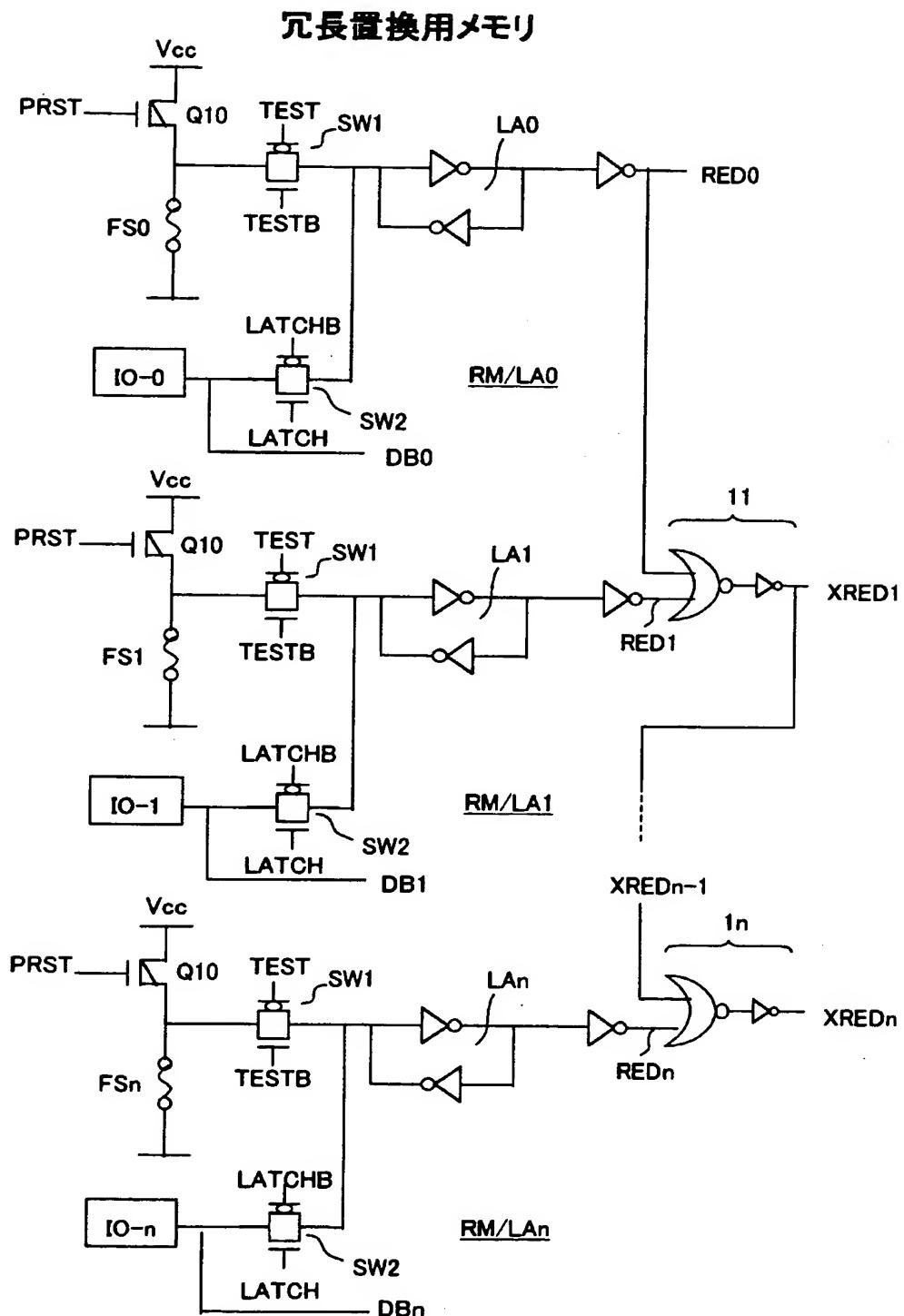
【図1】



【図2】

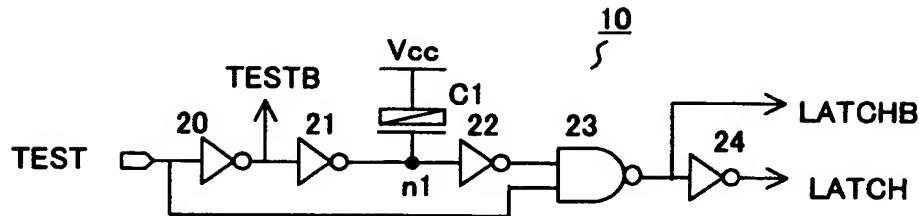


【図3】

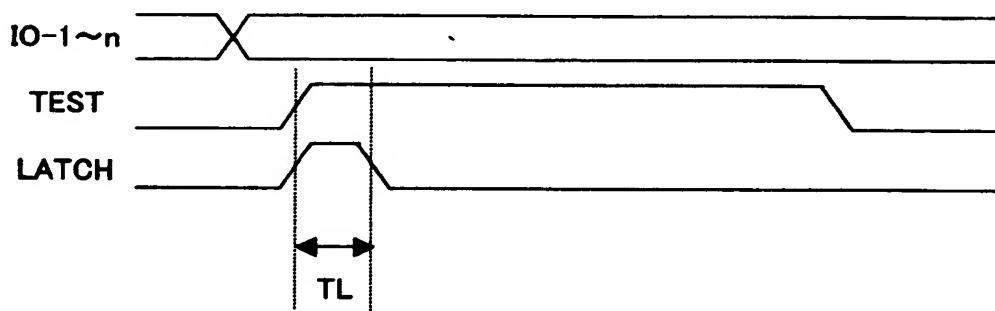


【図4】

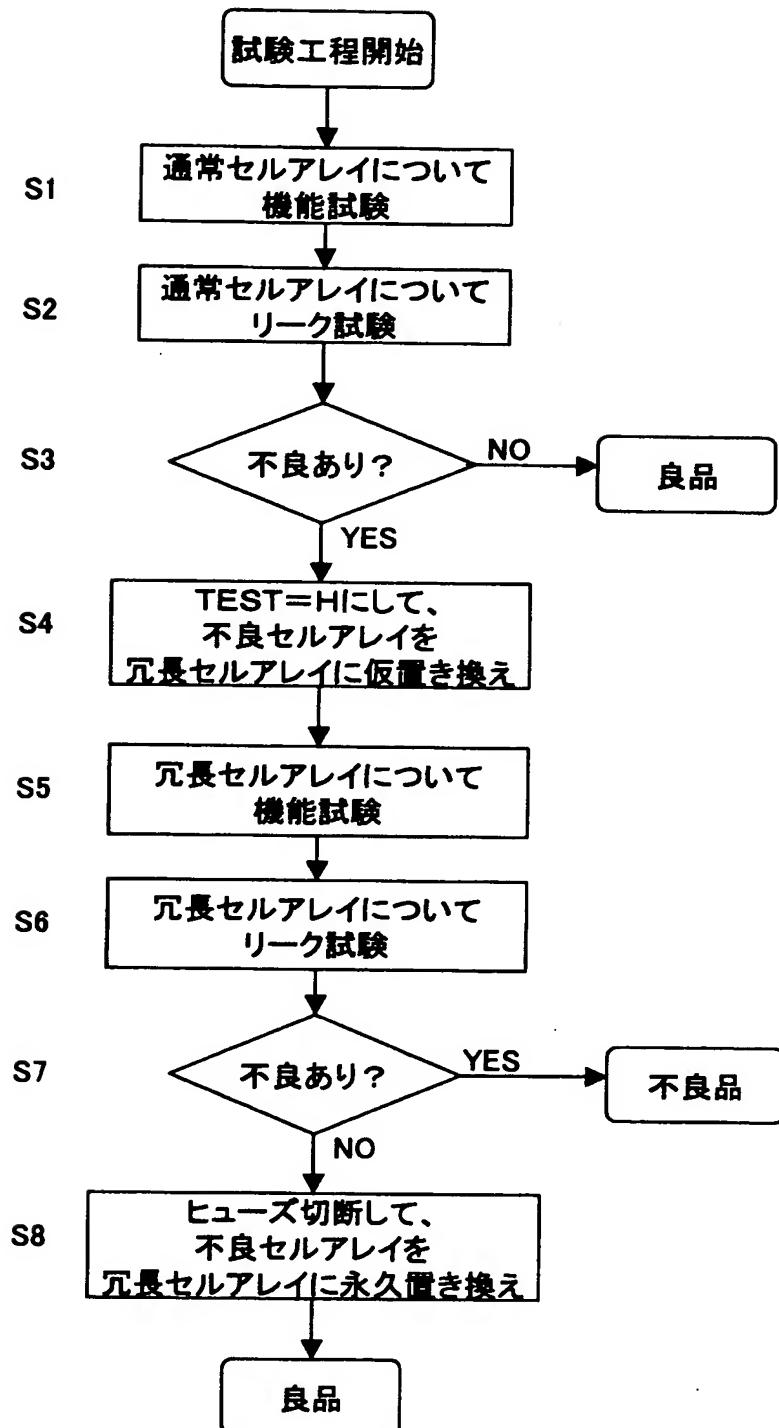
テスト回路



【図5】

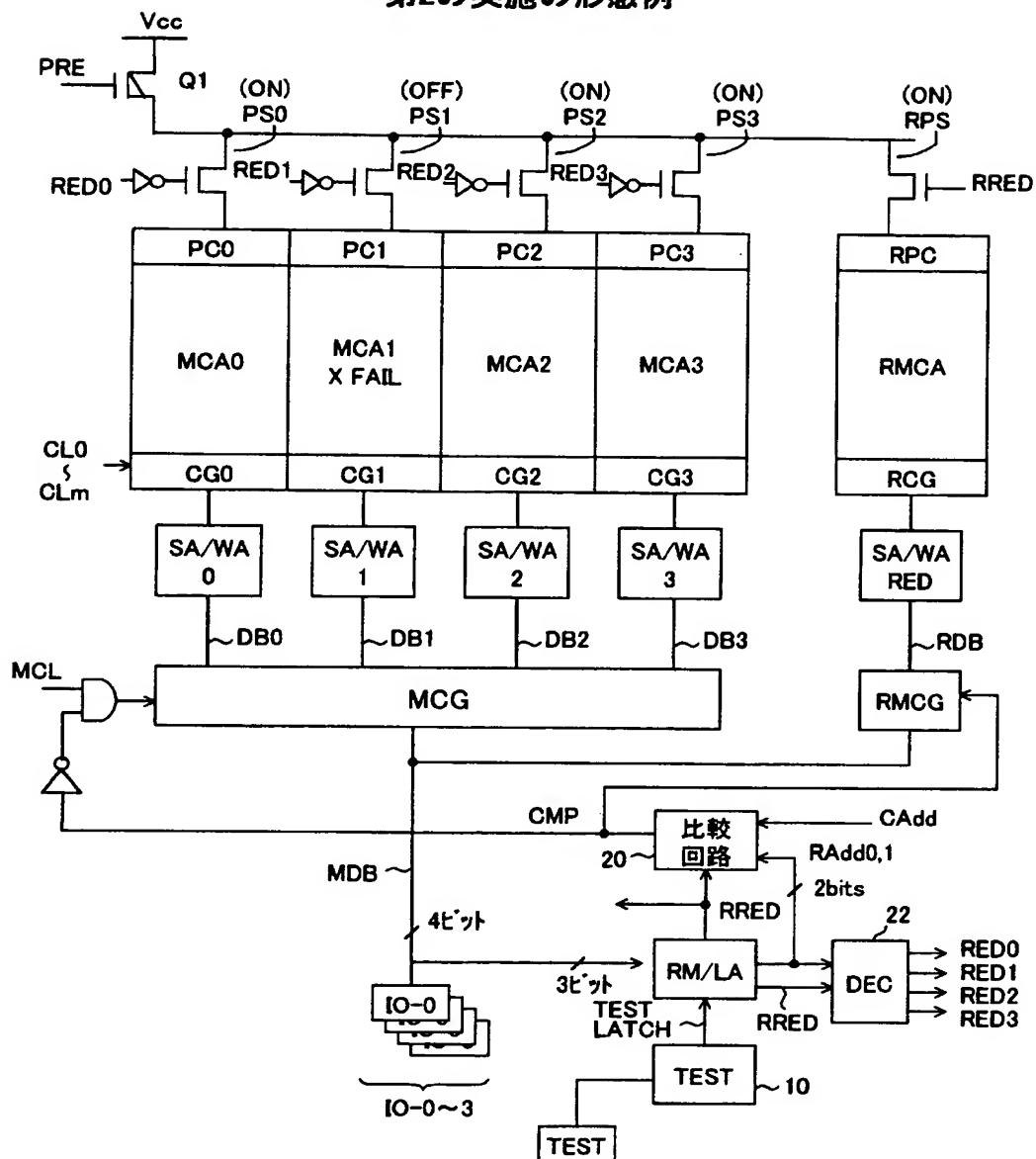


【図6】

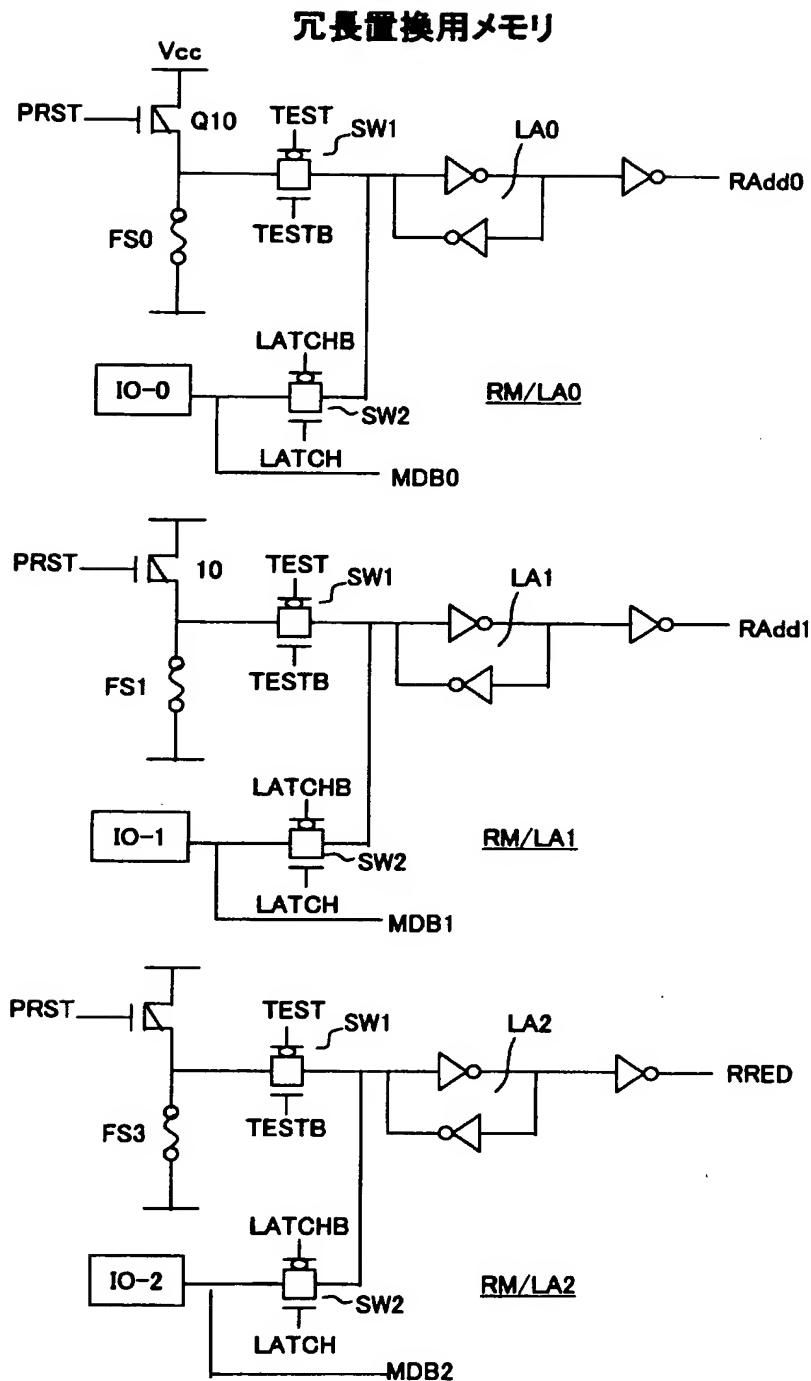


【図7】

第2の実施の形態例



【図8】



【書類名】

要約書

【要約】

【課題】出荷試験が簡単で消費電力を削減した冗長メモリセルアレイ付きメモリ回路を提供する。

【解決手段】通常メモリセルアレイと、通常メモリセルアレイ内の不良個所と置き換え可能な冗長メモリセルアレイとを有するメモリ回路において、通常メモリセルアレイ内の不良個所データを記憶する冗長置換用メモリと、通常メモリセルアレイに設けられたプリチャージ回路とを有し、前記不良個所データに応じて、通常メモリセルアレイ内の不良個所が冗長メモリセルアレイに置き換えられると共に、不良箇所に対応するプリチャージ回路のプリチャージ経路が閉じられることを特徴とする。これにより、冗長置換用メモリに不良個所データを記憶し、その不良個所データにしたがって、不良箇所に対して、冗長メモリセルアレイへの置き換えとプリチャージ経路の遮断を行うことができる。従って、単一の冗長置換用メモリにより、不良個所の救済と不良個所へのプリチャージ電流の停止とを行うことができる。

【選択図】図1

出願人履歴情報

識別番号 [000005223]

1. 変更年月日 1996年 3月26日

[変更理由] 住所変更

住 所 神奈川県川崎市中原区上小田中4丁目1番1号
氏 名 富士通株式会社